

CCD DATA PIXEL INTERPOLATING CIRCUIT AND DIGITAL STILL CAMERA PROVIDED WITH THE SAME

Publication number: JP11103407

Publication date: 1999-04-13

Inventor: MIYAMOTO KEISUKE

Applicant: NIPPON ELECTRIC CO

Classification:

- International: H04N5/225; H04N5/232; H04N5/335; H04N5/765;
H04N9/04; H04N5/225; H04N5/232; H04N5/335;
H04N5/765; H04N9/04; (IPC1-7): H04N5/225;
H04N5/335; H04N5/765

- european: H04N5/232V; H04N9/04B

Application number: JP19970263428 19970929

Priority number(s): JP19970263428 19970929

Also published as:

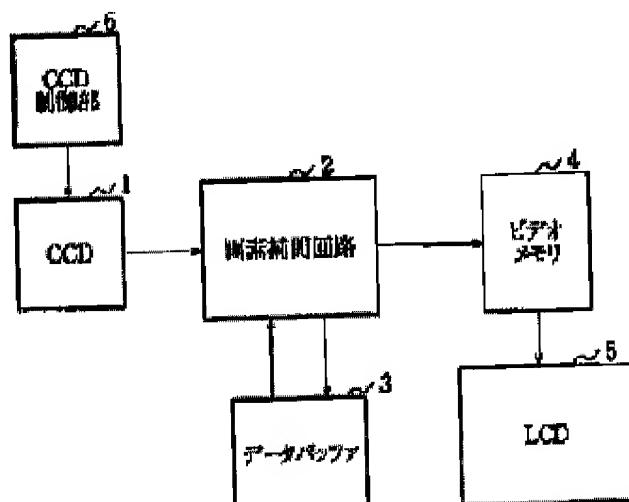
US6593965 (B1)

[Report a data error here](#)

Abstract of JP11103407

PROBLEM TO BE SOLVED: To execute pixel interpolation by means of a small capacitance buffer memory as against CCD fetching data and also generate LCD display data at high speed.

SOLUTION: An image is fetched by CCD 1. A data buffer 3 is provided with dual-port configuration, unrequired pixel data is thinned from data which is read from CCF 1 by a pixel interpolating circuit 2 and only data being required at min. for pixel interpolation is inputted to the data buffer 3. The pixel interpolating circuit 2 is simultaneously read data for executing pixel interpolation and referring data being necessary for pixel interpolation from the output of the data buffer 3 so as to execute pixel interpolation so that they are written in a video memory 4. Correct pixel interpolation calculation is enabled by executing weighting in accordance with distance from an interpolation referring pixel. Data of the video memory 4 is displayed in LCD 5.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-103407

(43)公開日 平成11年(1999)4月13日

(51)Int.Cl.⁶
H 0 4 N 5/225
5/335
5/765

機別記号

F I
H 0 4 N 5/225
5/335
5/91

F
Z
L

審査請求 有 請求項の数 6 OL (全 6 頁)

(21)出願番号 特願平9-263428

(22)出願日 平成9年(1997)9月29日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 宮本 敬介
東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

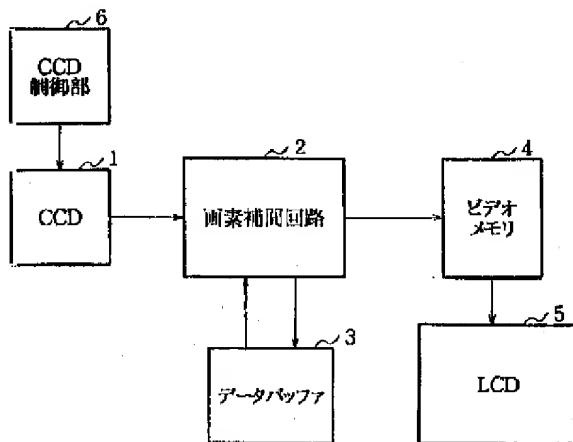
(54)【発明の名称】 CCDデータ画素補間回路およびこのCCDデータ画素
たデジタルスチルカメラ

補間回路を備え

(57)【要約】

【課題】CCD取り込みデータに対し、小容量のバッファメモリで画素補間を行い、かつ、高速にLCD表示データを作成する。

【解決手段】CCD 1で画像を取り込む。データバッファ3はデュアルポート構成になっており、画素補間回路2はCCD 1から読み出されたデータから不要な画素データを間引き、画素補間に最小限必要なデータのみをデータバッファ3に入力する。同時に画素補間回路2はデータバッファ3の出力から画素補間を行うデータおよび画素補間に必要な参照データを読み込んで画素補間を行いビデオメモリ4に書き込む。画素補間演算は、補間参照画素との距離に応じて重み付けを行い、正確な補正演算を可能とする。ビデオメモリ4のデータはLCD 5に表示される。



【特許請求の範囲】

【請求項1】 CCDから読み出した画素データを間引きながらデータバッファに書き込み、前記データバッファから前記画素データを読み出して画素補間を行って表示部に書き込むことを特徴とするCCDデータ画素補間回路。

【請求項2】 前記画素補間は、参照する画素との距離に応じて重み付けした演算を行うことを特徴とする請求項1記載のCCDデータ画素補間回路。

【請求項3】 CCDから読み出した画素データを間引きながらビデオメモリに書き込み、間引く画素データが前記CCDから出力される期間に、前記ビデオメモリに書き込んだ前記画素データの補間処理を行うことを特徴とするCCDデータ画素補間回路。

【請求項4】 画像を取り込むCCDと、前記CCDが取り込んだ画素データに処理を加えた画素データを表示する表示部とを備えたデジタルスチルカメラにおいて、前記CCDから読み出した画素データを間引きながらデータバッファに書き込み、前記データバッファから前記画素データを読み出して画素補間を行って表示部に書き込み、前記画素補間は、参照する画素との距離に応じて重み付けした演算を行うCCDデータ画素補間回路を備えたことを特徴とするデジタルスチルカメラ。

【請求項5】 画像を取り込むCCDと、前記CCDが取り込んだ画素データに処理を加えた画素データを表示する表示部とを備えたデジタルスチルカメラにおいて、前記CCDから読み出した画素データを間引きながらビデオメモリに書き込み、間引く画素データが前記CCDから出力される期間に、前記ビデオメモリに書き込んだ前記画素データの補間処理を行うCCDデータ画素補間回路を備えたことを特徴とするデジタルスチルカメラ。

【請求項6】 前記表示部は液晶表示装置であることを特徴とする請求項4または5記載のデジタルスチルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCCD(Charge Coupled Device)データ画素補間回路およびこのCCDデータ画素補間回路を備えたデジタルスチルカメラに関し、特に、CCDから取り込んだデータに間引きと補間とを加えて表示部に表示するCCDデータ画素補間回路およびこのCCDデータ画素補間回路を備えたデジタルスチルカメラに関する。

【0002】

【従来の技術】デジタルスチルカメラは受光部としてCCD撮像素子を用い、撮影した画像データはコンパクトフラッシュメモリやICメモリカード等の記憶媒体に保存する。撮影する画像をモニタするためにLCD(液晶表示装置)等の表示手段を用いることが多い。LCD等の表示手段は一般的にCCDの解像度に劣るのでCC

Dで取り込んだ画素データの間引きと補間が必要となる。

【0003】従来のCCD画素補間方式の構成を図7に示す。CCD41は画像の取り込みを行う。DRAM(Dynamic Random Access Memory)43はCCD41からのデータを一旦格納する。画像処理制御部42はDRAM43に格納されたデータを読み込んで画像処理をしてビデオメモリ44に書き込む。LCD45はビデオメモリ44のデータを表示する。CCD制御部46はCCD41のデータ読み出しパルス等の制御を行う。CCD41、画像処理制御部42、DRAM43、ビデオメモリ44はメインデータバス47に接続されている。

【0004】画素補間方式の動作について図3のCCD構造説明図を用いて説明する。各画素にはRGBのいずれかの原色フィルターが取り付けられていてRGBの色成分のうち1色のみについて色信号を出力するようになっている。CCD41からのデータの読み込みはライン毎に読み込みを行うようになっていて、水平方向は1ライン目のR11→G12→R13→G14の順に呼び出される。この時B22の画素の赤色成分を求める場合、隣接するR11、R13、R31、R33の4つの素子の平均値を求めてこれをR22としてLCD45表示に使用する。したがって次のラインのR33が読み込まれるまではR22の画素補間はできることになるので一旦DRAM43等のメモリに格納しなければいけない。

【0005】またCCD41は通常、データの読み込みを中断することができないのでCCD41のデータ転送がすべて終了した時点で画像処理部42が画素補間処理を開始することになり、ビデオメモリ44に書き込みを終了してLCD45に表示させるまでに時間がかかる。

【0006】

【発明が解決しようとする課題】上述した従来のCCDデータ画素補間回路は、画素データを一旦格納するためのDRAM等のメモリが必要となるという問題点がある。

【0007】また、CCDのデータ転送がすべて終了した時点で画素補間処理を開始するため、ビデオメモリに書き込みを終了してLCDに表示させるまでに時間がかかるという問題点がある。

【0008】本発明の目的は、画素データを一旦格納するためのDRAM等のメモリを必要とせず、構造が簡単で、かつ、高速にLCD表示データを作成するCCDデータ画素補間回路を提供することにある。

【0009】

【課題を解決するための手段】本発明のCCDデータ画素補間回路は、CCDから読み出した画素データを間引きながらデータバッファに書き込み、前記データバッファから前記画素データを読み出して画素補間を行って表示部に書き込むことを特徴とする。

【0010】本発明のCCDデータ画素補間回路は、前

記画素補間は、参照する画素との距離に応じて重み付けした演算を行うようにしてもよい。

【0011】本発明のCCDデータ画素補間回路は、CCDから読み出した画素データを間引きながらビデオメモリに書き込み、間引く画素データが前記CCDから出力される期間に、前記ビデオメモリに書き込んだ前記画素データの補間処理を行うようにしてもよい。

【0012】本発明のデジタルスチルカメラは、画像を取り込むCCDと、前記CCDが取り込んだ画素データに処理を加えた画素データを表示する表示部とを備えたデジタルスチルカメラにおいて、前記CCDから読み出した画素データを間引きながらデータバッファに書き込み、前記データバッファから前記画素データを読み出して画素補間を行って表示部に書き込み、前記画素補間は、参照する画素との距離に応じて重み付けした演算を行うCCDデータ画素補間回路を備えたことを特徴とする。

【0013】本発明のデジタルスチルカメラは、画像を取り込むCCDと、前記CCDが取り込んだ画素データに処理を加えた画素データを表示する表示部とを備えたデジタルスチルカメラにおいて、前記CCDから読み出した画素データを間引きながらビデオメモリに書き込み、間引く画素データが前記CCDから出力される期間に、前記ビデオメモリに書き込んだ前記画素データの補間処理を行うCCDデータ画素補間回路を備えるようにしてもよい。

【0014】本発明のデジタルスチルカメラは、前記表示部は液晶表示装置であるようにしてもよい。

【0015】

【発明の実施の形態】本発明の実施の形態について図面を参照して説明する。図1は本発明の第1の実施の形態の構成図である。LCD等の表示手段は一般的にCCDの解像度に劣るので全ての画素データの補間を行う必要がない。ここではLCDの表示画素数がCCDに対して水平、垂直とも1/2の場合について説明をする。

【0016】CCD1は画像の取り込みを行う。データバッファ3はCCD1の1ラインの画素数の1/2のデータを3ライン分格納できる容量を有しており、入出力はデュアルポート構成になっている。画素補間回路2はCCD1より出力される画素データをデータバッファ3に転送すると同時に、画素補間を行うデータをデータバッファ3から読み込んで画素補間を行い、ビデオメモリ4に書き込む。ビデオメモリ4は書き込まれたデータをLCD5に対して新たにデータが更新されるまで繰り返しLCD5に表示する。CCD制御部6はCCD1のデータ読み出しパルス等の制御を行う。

【0017】図2は画素補間回路2とデータバッファ3の回路図である。画素行列制御部21は、CCD画素データのデータバッファ3への転送先(バッファ27a、27b、27c)のデータバッファ制御部22への指定

と、列アドレス出力によるデータバッファ3からのデータ出力と、どこの演算式に何行目のデータを出力させるかを選択するデータセレクト信号の出力とを行う。

【0018】バッファ27a、27b、27cから出力されるデータは3段構成のラッチ回路(3段ラッチ23a、23b、23c)によりラッチされ3列分のデータを参照できるようになっている。ラッチ回路の次のセレクタ群24は、実際に演算に使用するデータをセレクトして、次段の演算部25にデータを出力する。Red(赤)、Blue(青)とGreen(緑)で参照するデータの位置関係が異なるのでRed、BlueとGreenの画素補正演算部では別のセレクト出力を使用する。

【0019】別的方式として、演算部25の前段にさらにセレクタを設けて、Red、BlueとGreenの演算を時分割で行えば演算部は1つで済む。

【0020】次に、動作について説明する。まずCCD1の構造について図3を用いて詳しく説明する。RGBフィルターの配列は図に示しているように4つの素子を基準に構成されている。従って、水平、垂直とも1/2に縮小した画像を作る場合は、この4素子単位で1/2に間引いて読み込みを行うことになるので図3に示している読み込み領域をデータバッファ3に格納することになる。

【0021】具体的には水平方向は1、2、…、5、6、の順でデータを格納し、垂直方向も1、2、…、5、6、の順で格納していく。CCD1の読み出しあはR11、G12、R13、G14、…、G21、B22、G23、B24、…の順にライン毎に読み出しを行う構成になっている、データを読み込まないラインについては、図示されていないCCD1の垂直転送パルスをCCD制御部6から余分に加えることにより不要なラインを飛ばして読み出せるので、読み出し時間が1/2に縮小される。

【0022】次に画素補間処理について説明する。従来ならば隣接画素の平均値を用いるが、データバッファ3に格納してあるデータは間引かれた状態で格納されているので隣接画素の画素間距離が異なり、そのままでは正しく画素補間処理ができない。そこで、隣接画素に対して重み付けを行い画素補間処理を行う。例えば、B22の赤色成分R22の画素補間を行うときは、R11、R51、R15、R55の画素データより求めることになるが、この時の計算式を

$$R22 = \alpha \cdot R11 + \beta \cdot R51 + \gamma \cdot R15 + \delta \cdot R55$$

ただし、 $\alpha + \beta + \gamma + \delta = 1$

とする。

【0023】補正係数 α ～ δ の取り方の例を説明する。まず図3で囲っている4つの素子を1つの配列単位で考えた場合、同一配列内に属する素子の補正係数を α とする。同様に、縦方向： β 、横方向： γ 、斜め方向： δ とする。図3で一番補正係数として影響の大きい α には一

番大きな値を、一番影響の薄い δ には一番小さい値を、 β と γ にはその中間の値をそれぞれ選択する。以上が係数間の関係になる。

【0024】一例として係数を挙げると、

$$\alpha = 0.5$$

$$\beta = \gamma = 0.2$$

$$\delta = 0.1$$

$$(\alpha + \beta + \gamma + \delta = 1)$$

のようになる。

【0025】上式のようにR22からの距離に応じて α ～ δ の重み付けを行うことにより正確な補正演算が可能になる。以上のような動作によりCCDデータの読み込みと画素補間の並行処理を実現している。

【0026】次に、本発明の第2の実施の形態について図面を参照して説明する。図4は本発明の第2の実施の形態の構成図である。第1の実施の形態の図1と異なる点は、データバッファを含まないことである。

【0027】第1の実施の形態で説明したように、CCD1からの画素データの読み出しライン数は全ラインの1/2で済むので1画面あたりの転送時間も半分になるが、ここでは、CCD1からのデータの読み出しは通常どおりすべてのラインについて読み込みを行うことによりデータバッファ無しでもDRAM等のメモリで画像の表示および画素補間を同時に実行する例について説明する。図4の構成にて画素データ格納および表示データ格納用としてビデオメモリ14を使用する。

【0028】次に動作について説明する。図5は本発明の第2の実施の形態の動作図である。画素補間回路12はCCD1から出力されるデータのうち1、2、5、6ラインの必要な画素データのみをビデオメモリ14に転送する。続いてCCD1から7、8ラインの出力期間が来るが、この期間はビデオメモリ14にCCD1の画素データの書き込みを行ないので、この期間を利用して1ラインと2ライン目の画素補間処理を行う。

【0029】図6は画素補間回路12およびビデオメモリ14の回路図である。図6の回路を図5に示した動作に基いて説明する。まず、CCD1からの1、2ライン目が出力されている期間中は画素行列制御部31はビデオメモリ制御部32を介してCCD画素データをビデオメモリ14に貯える。次に、3、4ライン目は画素補間回路12は動作しない。

【0030】5、6ライン目は1、2ライン目と同様に画素データをビデオメモリ14に転送する。7、8ライン目はビデオメモリ14より画素補間データおよび補間に使用する参照データを読み込み、3段ラッチ33a、33b、33cとセレクタ群34と演算部35により画素補間処理を行う。

【0031】以上のような動作によりバッファメモリなしでも画素補間処理がCCD1のデータ読み出し処理と同時に処理できることになる。すなわち、高速にLCD

表示データを作成することができる。

【0032】なお、第1および第2の実施の形態では、LCDの表示画素数がCCDに対して水平、垂直とも1/2の場合について説明したが、この比率は1/2に限定されるものではない。また、表示装置も、LCDに限定されるものではない。

【0033】

【発明の効果】以上説明したように、本発明は画素データの読み込みと同時にビデオメモリに出力するため、LCD表示の時間遅れが生じないという効果がある。

【0034】また、補間演算において画素距離により補間参照データの重み付けを行っているため、画素データを間引いたことによる表示データのむらが生じにくくなるという効果がある。

【0035】さらに、画素補間処理にて隣り合ったデータをすべて使用する方式ではないため、CCDからのデータ取り込みにおいては、垂直方向の1/2のデータしか出力する必要がなく、従来の1/2の動作時間で済み、CCDの高速動作、または省電力化が図られるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成図である。

【図2】本発明の第1の実施の形態の画素補間回路とデータバッファの回路図である。

【図3】CCDの構造説明図である。

【図4】本発明の第2の実施の形態の構成図である。

【図5】本発明の第2の実施の形態の動作図である。

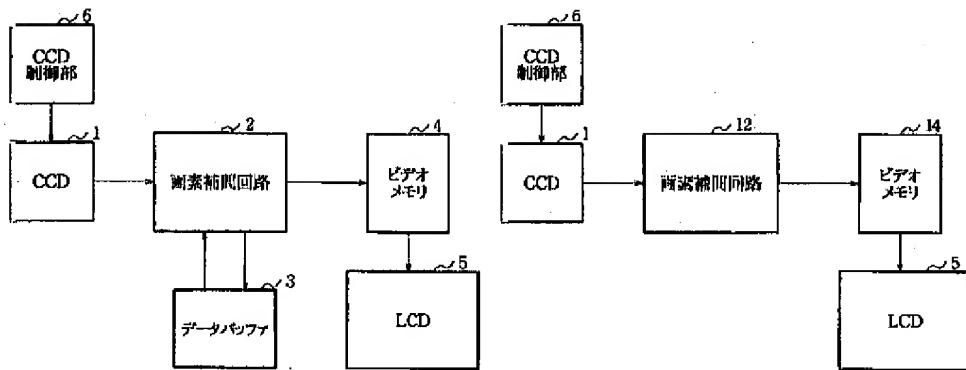
【図6】本発明の第2の実施の形態の画素補間回路とビデオメモリの回路図である。

【図7】従来技術の構成図である。

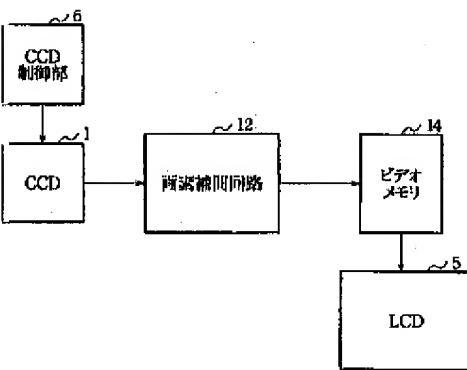
【符号の説明】

- | | |
|-------------|------------|
| 1 | CCD |
| 2 | 画素補間回路 |
| 3 | データバッファ |
| 4 | ビデオメモリ |
| 5 | LCD |
| 6 | CCD制御部 |
| 12 | 画素補間回路 |
| 14 | ビデオメモリ |
| 21 | 画素行列制御部 |
| 22 | データバッファ制御部 |
| 23a、23b、23c | 3段ラッチ |
| 24 | セレクタ群 |
| 25 | 演算部 |
| 27a、27b、27c | バッファ |
| 31 | 画素行列制御部 |
| 32 | ビデオメモリ制御部 |
| 33a、33b、33c | 3段ラッチ |
| 34 | セレクタ群 |
| 35 | 演算部 |

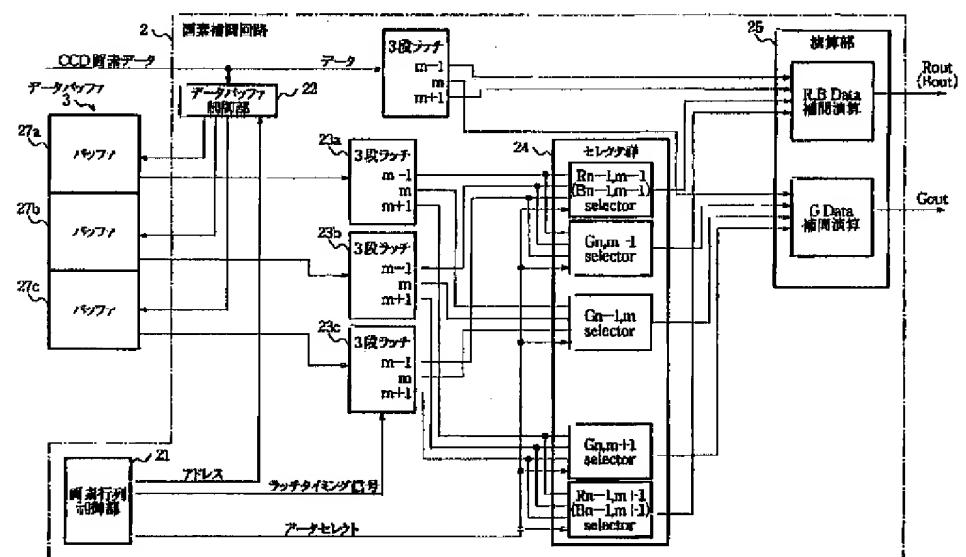
【図1】



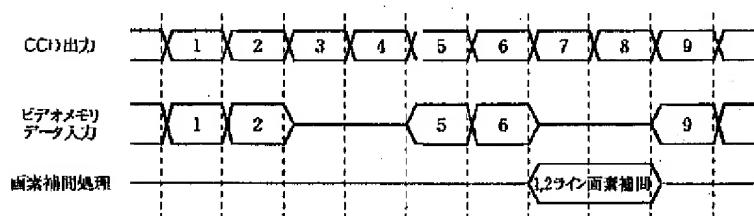
【図4】



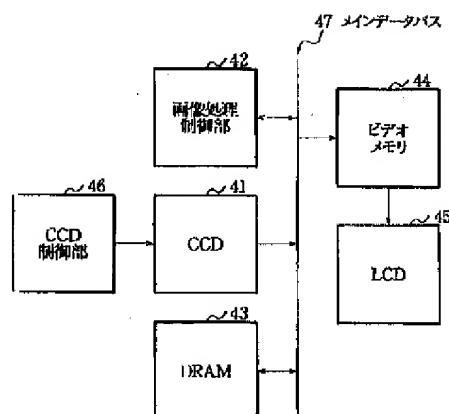
【図2】



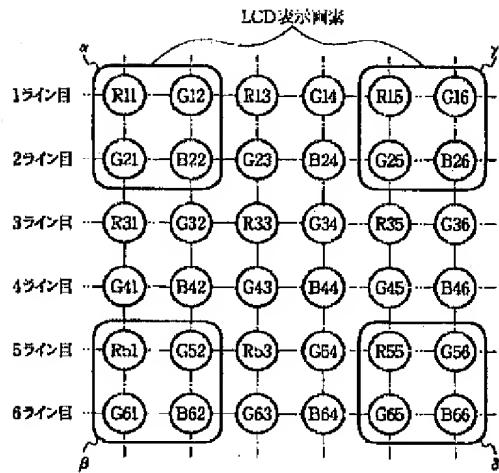
【図5】



【図7】



【図3】



【図6】

